

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 9 月 9 日 (09.09.2005)

PCT

(10) 国際公開番号
WO 2005/083727 A1

- (51) 国際特許分類⁷: H01G 4/12, 4/252, 4/30
(21) 国際出願番号: PCT/JP2005/001418
(22) 国際出願日: 2005 年 2 月 1 日 (01.02.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-054807 2004 年 2 月 27 日 (27.02.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO.,

LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).

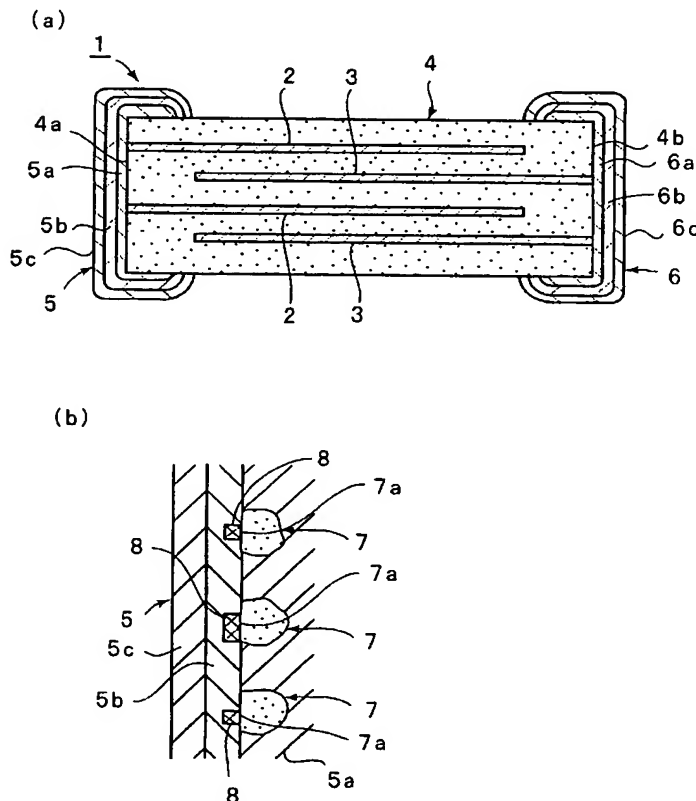
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 堀江 重之 (HORIE, Shigeyuki) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 同前 友宏 (DOZEN, Tomohiro) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 野路 孝志 (NOJI, Takashi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 古澤 達雄 (FURUSAWA, Tatsuo) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 河合 孝明 (KAWAI, Takaaki)

/ 続葉有 /

(54) Title: STACKED CERAMIC ELECTRONIC COMPONENT AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 積層型セラミック電子部品及びその製造方法



(57) Abstract: A stacked ceramic electronic component and a manufacturing method thereof are provided. The stacked ceramic electronic component has an external electrode wherein sintered electrode layers, middle electrolytic plating layers and electrolytic plating layers are stacked in this order, does not easily generate insulation resistance failure in a high-temperature load test and has high reliability. On both edge surfaces (4a) and (4b) of a ceramic sintered body (4) having internal electrodes (2) and (3), first and second external electrodes (5) and (6) are formed. Each of the external electrodes (5) and (6) has a structure wherein the sintered electrode layers (5a) and (6a), middle electrolytic plating layers (5b) and (6b) and electrolytic plating layers (5c) and (6c) are stacked in this order. On the outer surfaces of the sintered electrode layers (5a) and (6a), exposing surface parts (7a) of an insulating oxide (7) based on a glass frit contained in the sintered electrode layer are exposed. Under the condition where a metal (8) is deposited on the exposing surface parts (7a), middle electrolytic layers (5b) and (6b) are formed by electrolytic plating.

(57) 要約: 焼結電極層、中間電解めっき層及び電解めっき層がこの順序で積層されている外部電極を有する積層型セラミック電子部品であって、高温負荷試験における絶縁抵抗不良が生じ難く、信頼性に優れた積層型セラミック電子部品及びその製造方法を提供する。内部電極 2, 3 を有するセラミック焼結体 4 の両端面 4 a, 4 b に第 1, 第 2 の外部電極 5, 6 が形成されており、各外部電極 5, 6 は、焼結電極層 5 a, 6 a、中

/ 続葉有 /



[JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目
10 番 1 号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 宮▼崎▲主税, 外(MIYAZAKI, Chikara et
al.); 〒5400012 大阪府大阪市中央区谷町 1 丁目 6 番
5 号 西村ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SI, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

間電解めっき層 5 b, 6 b 及び電解めっき層 5 c, 6 c をこの順序で積層構造した構造を有し、焼結電極層 5 a,
6 a の外表面に、焼結電極層に含有されているガラスフリットに基づく絶縁性の酸化物 7 の露出表面部分 7 a が露
出しており、該露出表面部分 7 a に金属 8 が付着された状態で、中間電解めっき層 5 b, 6 b が電解めっきにより
形成されている、積層型セラミック電子部品。